



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 60254762 A

(43) Date of publication of application: 16.12.85

(51) Int. Cl. H01L 25/10

(21) Application number: 59111264

(71) Applicant: FUJITSU LTD

(22) Date of filing: 31.05.84

(72) Inventor: IKEHARA SHOHEI

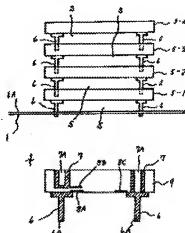
(54) PACKAGE FOR SEMICONDUCTOR ELEMENT

COPYRIGHT: (C)1985,JPO&Japio

(57) Abstract:

PURPOSE: To set address data for selecting semiconductor elements and to facilitate the increase and decrease in number of the semiconductor elements to be mounted, by providing contact pieces on the upper surfaces of packages, and mounting a plurality of the packages.

CONSTITUTION: Terminals 6 are provided at one side of a member 9 made of a ceramic material and the like. Contact pieces 7 are provided on the other side. Tip parts 6A are formed so that they can be inserted and pulled out. The terminals 6 and the contact pieces 7 are connected to semiconductor elements to be mounted through pattern wirings 8A, 8B and 8C. The increase and decrease in memory capacity are carried out by changing the number of mounting stages of packages 5. For the packages 5-1W5-4, inverters I are formed between the terminals 6-1 and the contact pieces 7-1, and exclusive OR gates G are formed between the terminals 6-2 and the contact pieces 7-2. Therefore, address data can be set based on the mounting sequence of the packages.



⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭60-254762

⑫ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)12月16日

H 01 L 25/10

7638-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体素子のパッケージ

⑮ 特 願 昭59-111264

⑯ 出 願 昭59(1984)5月31日

⑰ 発 明 者 池 原 昌 平 川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 出 願 人 富 士 通 株 式 有 限 公 司 川崎市中原区上小田中1015番地

⑲ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

半導体素子のパッケージ

2. 発明の概要

半導体素子を有するパッケージであって、一面にアドレス設定信号を入力するための第1端子、該一面とは逆の面の該第1端子に対応する位置に第2端子、該第1端子より入力されたアドレス設定信号を減衰して該第2端子より出力するアドレス変更手段を有することを特徴とする半導体素子のパッケージ。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明はプリント基板に半導体素子を有する同一面側の複数のパッケージが搭載されて実装された半導体素子の取付け方法に係り、形に、所定のパッケージが選択できる回路が形成されるようにした半導体素子のパッケージに関する。

(b) 従来技術と問題点

従前のメモリ素子などの半導体素子がプリント

基板に実装される場合は第1図に示すように側面されている。第1図は従来の半導体素子のパッケージの縦断面を示す図面は特許図、側面は説明図である。

図面に示すように半導体素子2-1〜2-nはリード端子が付けられたパッケージに封止され、パターン配線を有するプリント基板1の裏面に1Aにパッケージを配線することによって実装されている。このパッケージのそれぞれのリード端子はプリント基板1の所定のランドに半田付けされ、パターン配線に接続されるように形成されている。

このように半導体素子2-1〜2-nは例えば装置の換装上メモリ容量が増加する場合があり、半導体素子2-1〜2-nの実装数が減少した場合は当然プリント基板1の大きさは小さくでき、例えば図1の長さの大きさは虚線のようにその長さの小さくすることができ、しかし、一般的にプリント基板1の大きさは所定の大きさによって形成されているため、大きなものを用いた複数のプリント基板1を製作す

ことはコストアップとなる。

そこで、所定の大きさのプリント基板11には必要な半導体素子2-1〜2-nを配設し、メモリ容量の増減によって不要となった半導体素子は除去し、半導体素子の実装箇所が有するように形成されたい。したがって、実装箇所が悪い欠点を有していた。

また、このような構成では半導体素子2-1〜2-nは所定の半導体素子を選択してアクセスできるように回路に示す回路が形成されている。

半導体素子2-1〜2-nのそれぞれにはアドレス設定部4-1〜4-nとゲートG1〜Gnとが設けられ、アドレス設定部4-1〜4-nに所定のアドレスを設定することにより、記憶部3-1〜3-nのアクセスは所定のアドレス情報でそれぞれのゲートG1〜Gnに送出し所定の記憶部が選択されて行なわれるように形成されている。したがって、それぞれのアドレス設定部4-1〜4-nの一つ一つに対して所定のアドレスを設定しなければならぬ問題を有していた。

図4は説明図、第3図は構成図である。

プリント基板11の実装面11Aにはパッケージ5-1の端子6が半田付されることでパッケージ5-1が実装され、このパッケージ5-1には更にパッケージ5-2が、パッケージ5-2はパッケージ5-3が、それぞれの端子6が挿入されることで搭載するように実装されるようにしたものである。

このような構成は図5に示すようにパッケージ5を形成することで行なえる。セミアダプタなどによって形成された基板9の一方には端子6を設け、他方には無接片7を設け、該接片7の挿入孔7Aは端子6の先端部6Aが挿脱できるように形成され、それぞれの端子6および無接片7にはバネ部8A、8B、8Cを介して内設された半導体素子11に接続できるように形成されている。

したがって、メモリ容量の増減によって半導体素子の実装数を変える場合に搭載されたパッケージ5の接続部を変更することで行なえ、増減が容易に行なえる。尚、パッケージ5-1、5-2、

(a) 発明の目的

本発明の目的はパッケージの上面には接片を設け、複数のパッケージが積載して実装できるようにしたの構成によって半導体素子の選択すべきアドレス情報の設定が行なわれ、かつ、半導体素子の実装の増減が容易に行なえるようにしたもので、前述の問題点を除去したものを提供することである。

(a) 発明の構成

本発明の目的は、かかる半導体素子の実装方法において、一面にアドレス設定番号を入力するための第1端子、該一面とは逆の面の第2端子に対応する位置に第2端子。該第1端子より入力された該アドレス設定番号を実装して該第2端子より出力するアドレス変更手段を有することを特徴とする半導体素子のパッケージにより達成される。

(a) 発明の実施例

以下本発明を第2図および第3図を参照して詳細に説明する。第2図は本発明による半導体素子のパッケージの一例を説明を示す、第3図の(a)、(b)、

5-3、5-4の構成には対応を考慮して図5を設けるとよい。また、(a)図に示す原型のパッケージを選択する場合は無接片を形成することもできる。

それぞれのパッケージ5-1〜5-4には端子6-1と無接片7-1との間にインバーチ1、端子6-2と無接片7-2との間に非逆オプアードQを形成すると、積載されることにより、パッケージ5-1と5-2、5-2と5-3、5-3と5-4とはそれぞれ端子6-1が無接片7-1に、端子6-2が無接片7-2に接続される。

そこで、パッケージ5-1の端子6-1と端子5-2とは"0"にすると、パッケージ5-2の端子6-1と6-2とは"1"と"0"、パッケージ5-3の端子6-1と6-2とは"0"と"1"、パッケージ5-4の端子6-1と6-2とは"1"と"1"が出力される。したがってパッケージの接続順序によってアドレス情報の設定が行なわれる。

また、例えば、第3図に示す回路構成が可成である。互いの端子6と無接片7とが接続されて

読取されたパッケージ5-1, 5-2, 5-3, 5-4のそれぞれにはゲートG1~G4とインバータIとが設けられている。ゲートG1とインバータIでは前述のようにアドレス情報の設定が行われる。

例えば、アドレス情報S1, S2を"0"に設定し、アドレス選択信号S3とS4とが"0"の時はパッケージ5-1の排他ノアゲートG2とG3の出力は"1"となり、又、選択信号S5が"1"になるので、アンドゲートG4はオープンな状態になり、パッケージ5-2では排他ノアゲートG2の出力が"0"、排他ノアゲートG3の出力が"1"となり、パッケージ5-3では排他ノアゲートG2の出力が"1"、排他ノアゲートG3の出力が"0"となり、パッケージ5-4では排他ノアゲートG2とG3との出力が"0"となり、いづれのアンドゲートG4もクローズとなる。したがって、チップセレクト信号S5はパッケージ5-1の記憶素子Mをアクセスするが、パッケージ5-2, 5-3, 5-4の記憶素子Mはアクセスされない。又、アドレス情報S1, S2を"0"に設定しパッケージ5

-2を選択する場合はS3を"1", S4を"0", パッケージ5-3を選択する場合はS3"0", S4を"1", パッケージ5-4を選択する場合はS3を"1", S4を"1"にすればよい。

このように制御すると、アドレス選択信号S3とS4の所定のアドレス情報によって、ノアゲートG2, G3の出力を受けるゲートG4を介して所定のパッケージが選択され、所定の記憶素子Mをアクセスすることができる。

(4) 効果の効果

以上説明したように本発明はパッケージ5は搭載されて実装されるようにし、パッケージ5は取外されることで、パッケージ5に形成されたゲート回路によって所定のアドレスが設定されるようにしたものである。

これにより、パッケージ5の取外は簡単に行きわたるため、パッケージ5の層数による半導体素子の実装数の増減が容易となり、かつ、実装層数の向上を図ることができ、更に、従来のようなアドレス設定部および記憶部のアドレス

設定は不要となり、実用効果は大きい。

4. 実施の形態を説明

第1図は従来の半導体素子のパッケージを示す図(図は斜視図、(a)図は説明図、第2図の(a)(b)図は本発明による半導体素子のパッケージの一実施例を示す説明図、第3図は回路構成図を示す。

図中において、

1はプリント基板、2-1~2-nは半導体素子、3-1~3-nは記憶部、4-1~4-nはアドレス設定部、5-1, 5-2, 5-3, 5-4はパッケージ、6-1, 6-2, 6枚端子、7-1, 7-2, 7は接点片を示す。

代理人 弁護士 松岡 実隆



第1図

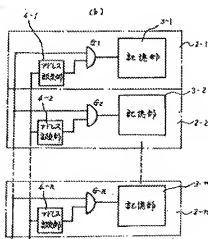
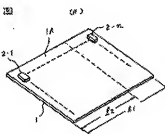


图 2 (A)

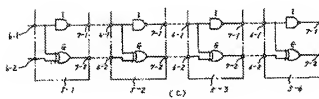
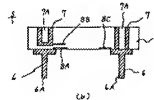
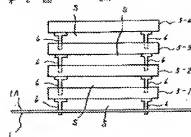


图 3

